

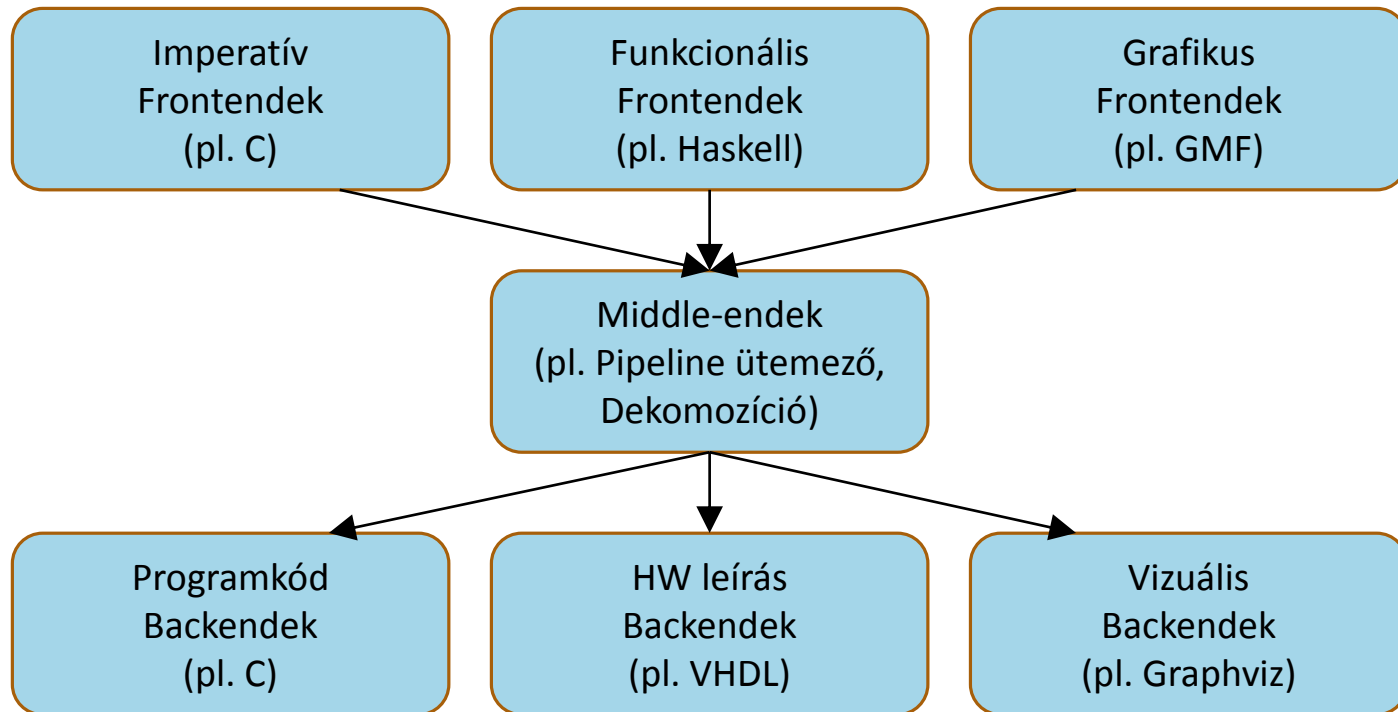
Concept of the system- level synthesis framework PipeComp

SUBA GERGELY, ARATÓ PÉTER

PipeComp

= Pipeline Compiler

PipeComp keretrendszer

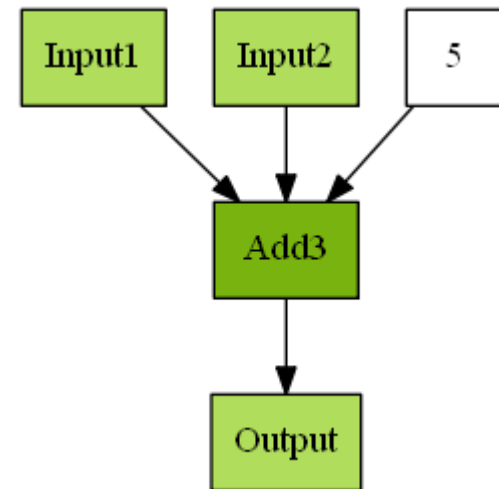
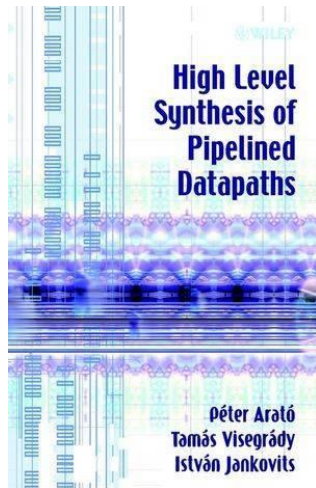


PipeComp HIG

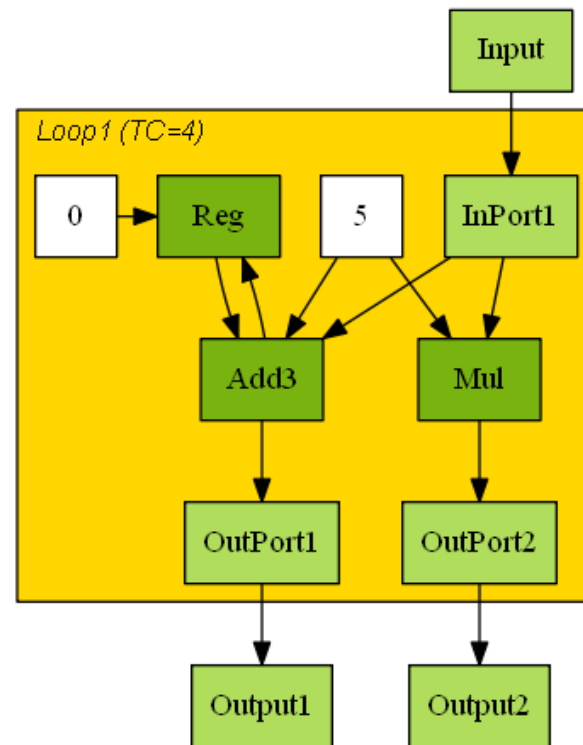
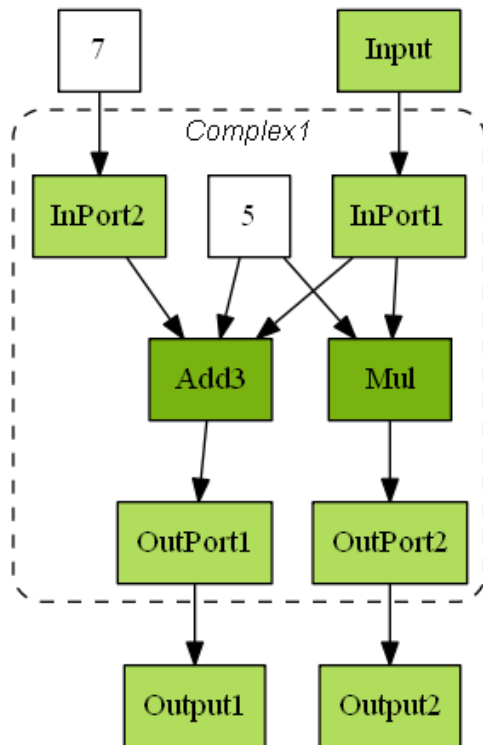
Hierarchikus köztes adatfolyamgráf

alapja: Elemi műveleti gráf (EOG)

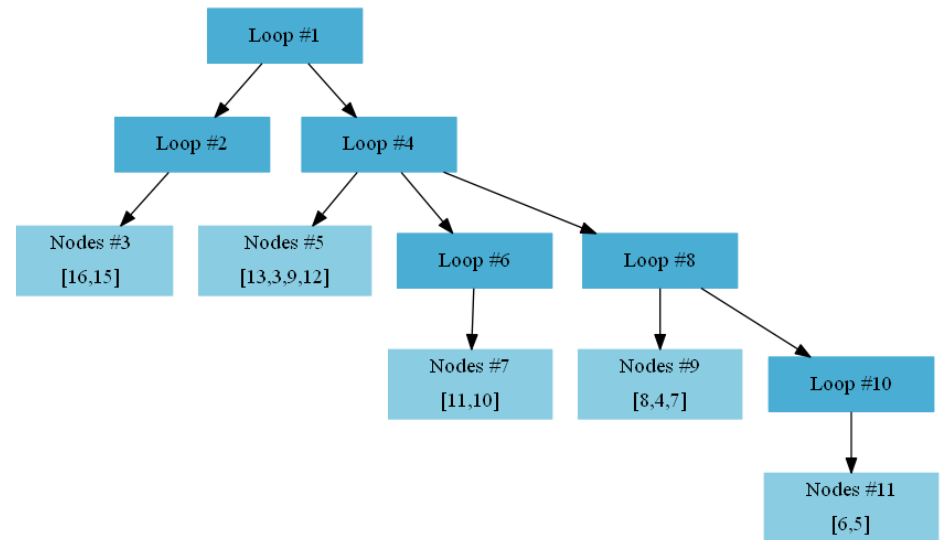
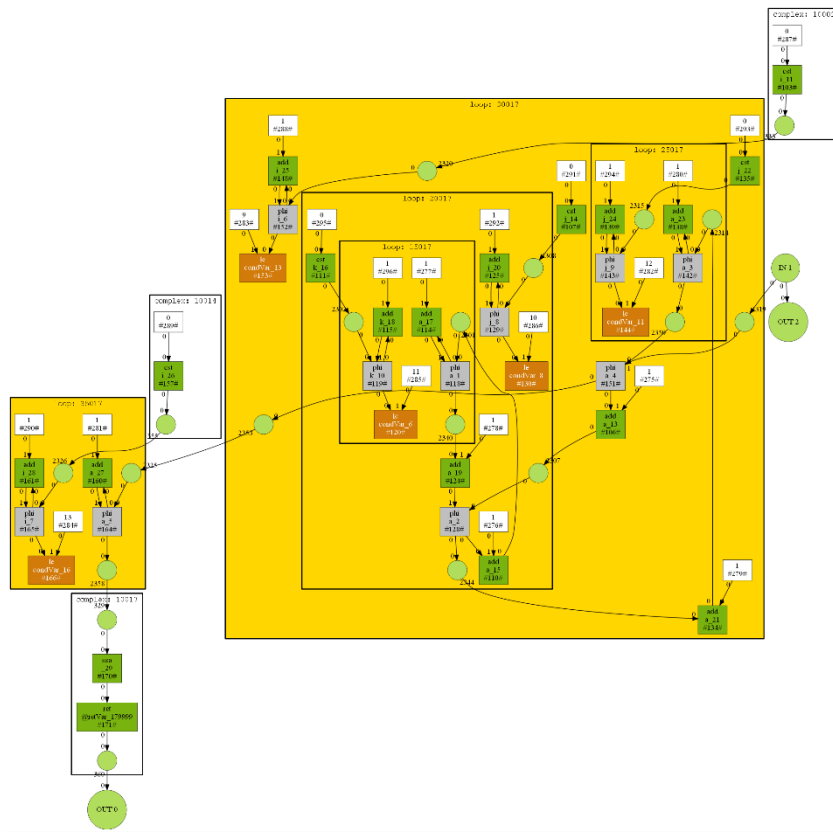
implementáció: XML



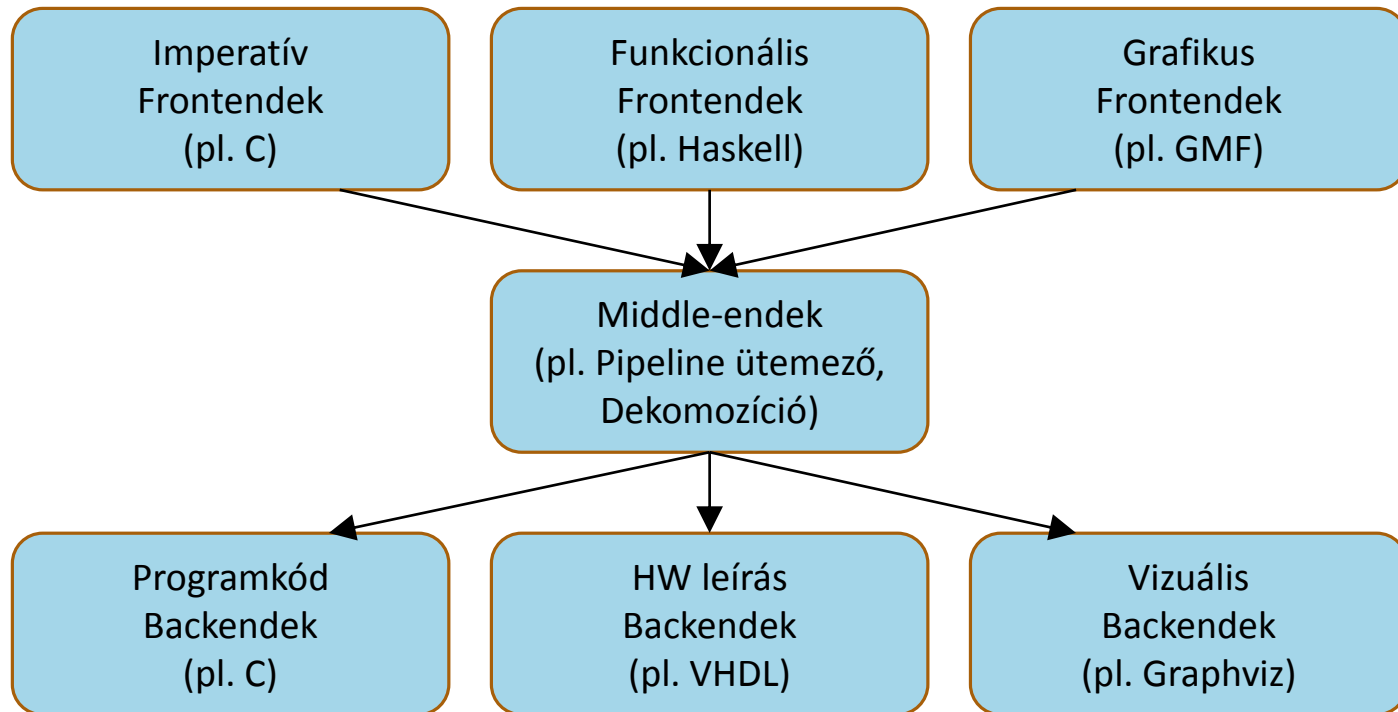
HIG – összetett / ciklus



HIG – hierarchia



PipeComp modulok



PipeComp – imperatív frontendek (C)

GCC

- kimenet: GIMPLE kód (SSA)
- hátrány: típusdefiníciók hiányosak
- tiltások:
 - - globális változó
 - - dinamikus tömb
 - - pointer aritmetika
 - - tömb átadása függvénynek

```
<bb 2>:  
# gimple_phi <i_1, i_6(1), i_8(7)>  
# gimple_phi <add_2, add_7(1), add_4(7)>  
gimple_assign <plus_expr, i_8, i_1, 1>  
gimple_cond <gt_expr, i_8, 5, <bb 3>, <bb 6>>  
  
<bb 3>:  
gimple_assign <integer_cst, j_9, 0, NULL>  
gimple_goto <bb 5>;
```

ANTLR (parszer generátor)

- kimenet: egyszerűsített C AST
- hátrány: AST feldolgozást meg kell írni

PipeComp – funkcionális frontend (Haskell)

GHC (Glasgow Haskell Compiler)

GHC Core: lambda kalkulus AST

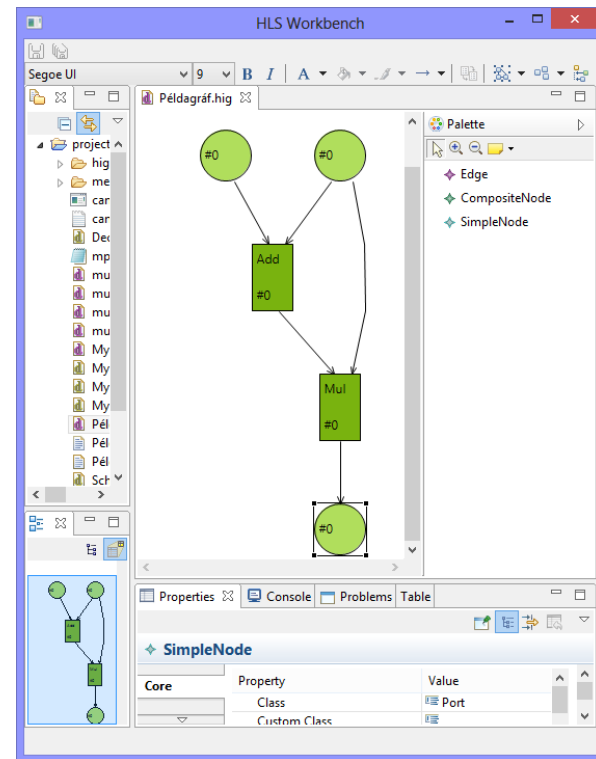
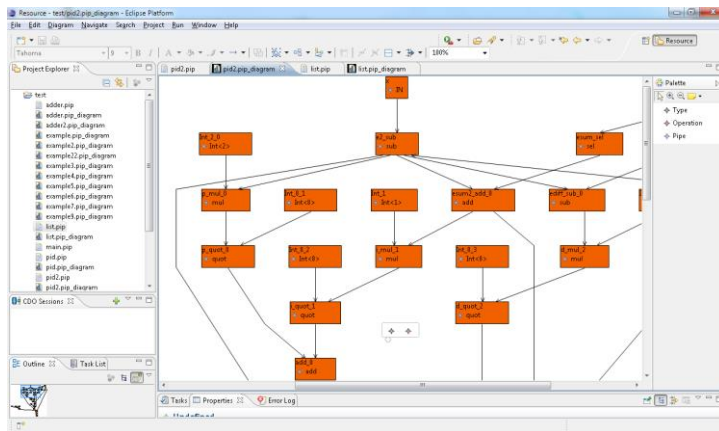
```
data Expr b = Var Id
            | Lit Literal
            | App (Expr b) (Arg b)
            | Lam b (Expr b)
            | Let (Bind b) (Expr b)
            | Case (Expr b) b Type [Alt b]
            | Cast (Expr b) Coercion
            | Note Note (Expr b)
            | Type Type

type Alt b = (AltCon, [b], Expr b)

data Bind b = NonRec b (Expr b)
            | Rec [(b, Expr b)]
```

PipeComp – grafikus frontendek

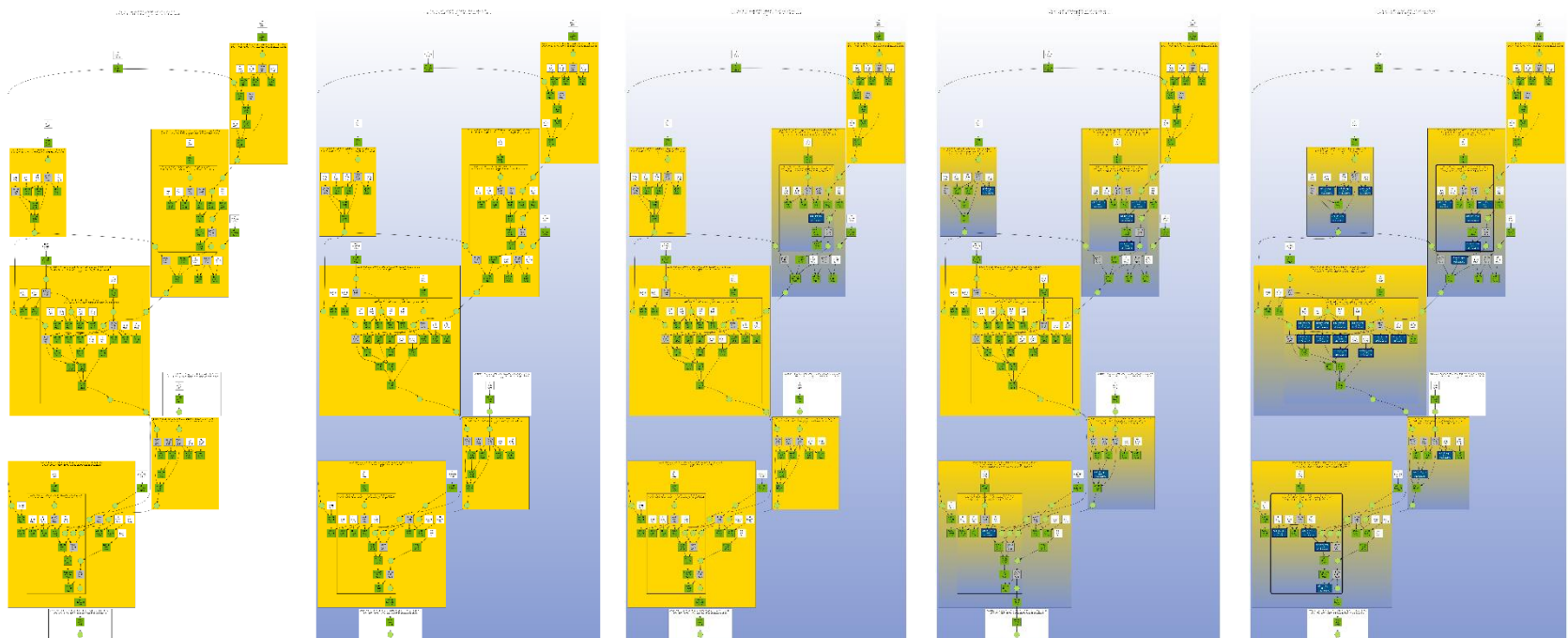
Eclipse GMF
(Graphical Modeling Framework)



PipeComp – pipeline ütemezés middle-end

Optimalizálás adott újraindítási időre (hierarchia szintenként)

- pipeline ütemezés (szinkronizálás kell), többszörözés
- $R = 50569 \rightarrow 1023$



PipeComp – dekompozíció middle-end

HIG feldarabolása

Különböző szegmensek különböző backendek irányába

- akár más-más nyelvre és hardverre

Vágás alapja

- kommunikációs súlyok
- műveletek végrehajtási ideje

PipeComp – szöveges backendek

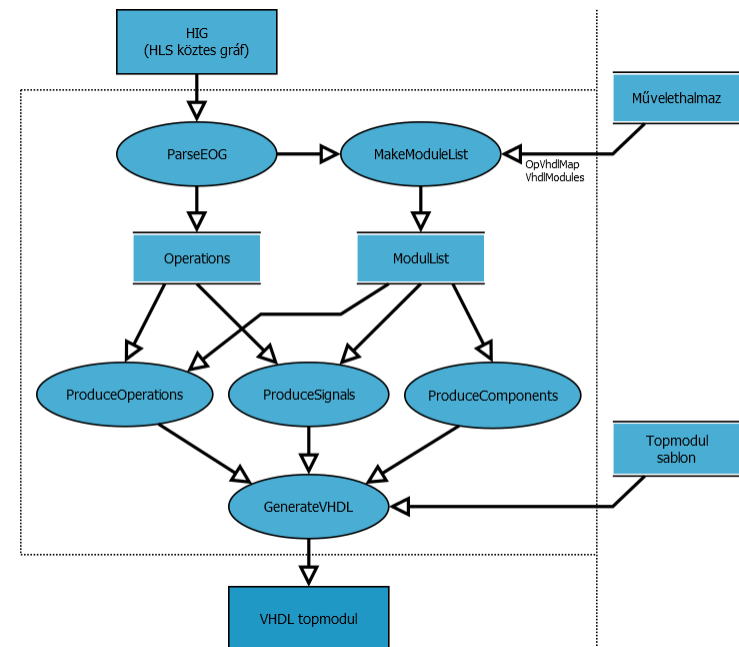
Programkód backend:

- célnyelv: C
- célhardver: uC, PC

Hardverleírás backend:

- célnyelv: VHDL/Verilog
- célhardver: FPGA/ASIC

Kódgenerálás: Xtend



PipeComp – vizuális backendek

Adatfolyamgráf megjelenítése

GraphViz + stílusleíró xml

<edgestyles>

<dotstyle name="link" condition="\$type=link" key="style" value="solid" />

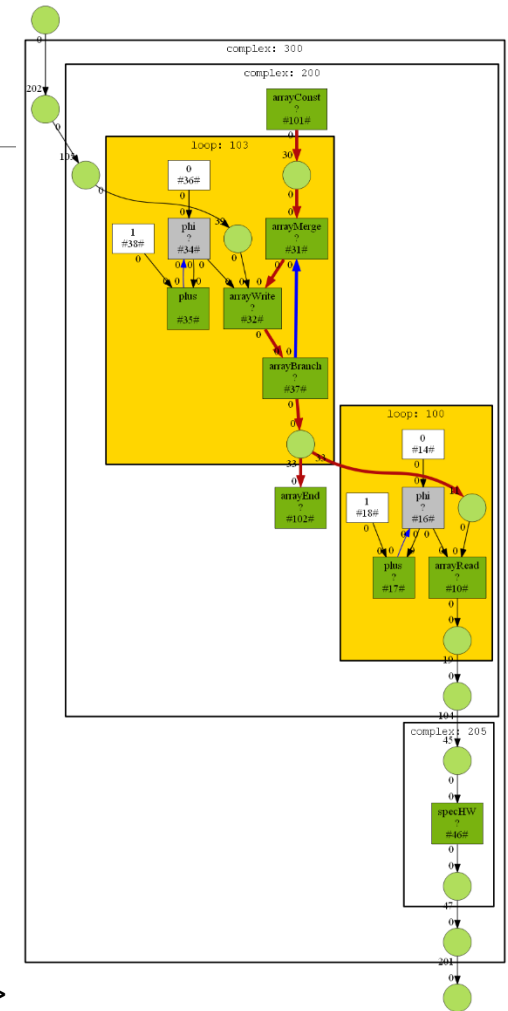
<dotstyle name="dep" condition="\$control=1" key="style" value="dashed" />

<dotstyle name="array1" condition="\$type=array" key="style" value="bold" />

<dotstyle name="array2" condition="\$type=array" key="penwidth" value="4" />

<dotstyle name="array3" condition="\$type=array" key="arrowsize" value="1.5" />

</edgestyles>

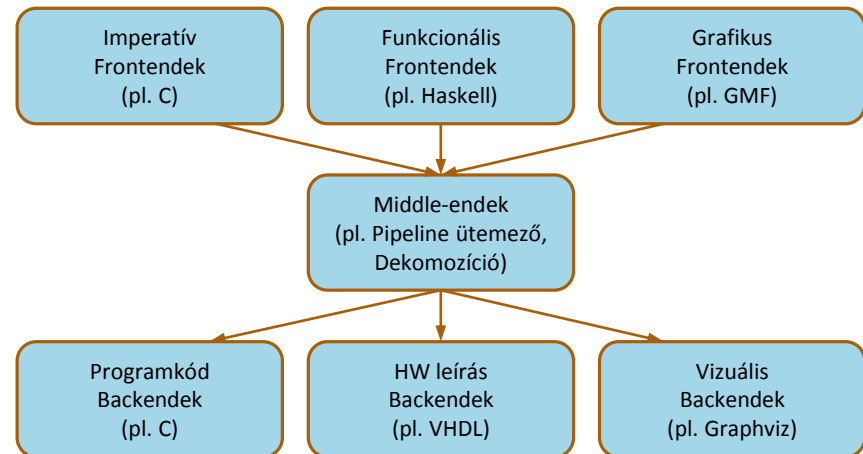
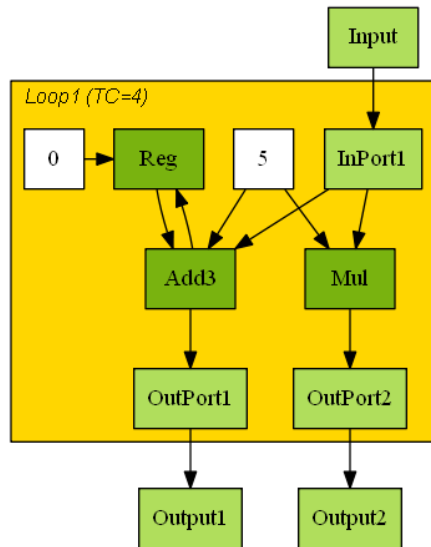


PipeComp – összefoglalás

Három rétegű architektúra

HIG köztes gráf

Modulok



Csapat

Témavezető:

- Arató Péter

Oktatók:

- Ercsényi András, Goldschmidt Balázs, Horváth Tamás, Pilászy György, Srp Ágoston

PhD fokozat előtt állók:

- Dóbé Péter, Drexler Dániel, Kápolnai Richárd, Rácz György, Simon Balázs, Suba Gergely

BSc és MSc hallgatók:

- Dudás Ádám, Olasz-Szabó Bence, Zsoldos Tamás

Pályázatok

OTKA 72611

TÁMOP 4.2.1/B-09/1/KMR-2010-0002 - IKT-P5-T1

TÁMOP 4.2.2.C-11/1/KONV-2012-0004

Publikációk - 2014

Péter Arató, Dániel András Drexler, Gábor Kocza (2014) **A method for avoiding loops while decomposing the task description graph in system-level synthesis.** In *2014 IEEE 9th IEEE International Symposium on Applied Computational Intelligence and Informatics (SACI)*. pp. 231–235. IEEE.

Péter Arató, Gergely Suba (2014) **A data flow graph generation method starting from C description by handling loop nest hierarchy.** In *IEEE 9th IEEE International Symposium on Applied Computational Intelligence and Informatics (SACI)*. pp. 269–274. IEEE.

György Pilászy, György Rácz, Péter Arató (2014) **The Effect of Latency Increasing on the Realisation Cost in High Level Synthesis of Pipeline Systems.** *Periodica Polytechnica Electrical Engineering and Computer Science* 58 (2) pp. 37–42.

Gergely Suba (2014) **Hierarchical Pipelining of Nested Loops in High-Level Synthesis.** *Periodica Polytechnica Electrical Engineering and Computer Science* 58 (3) pp. 81–91.

Péter Arató, Gábor Kocza (2014) **Loop-free Decomposition in High-Level Synthesis.** *SCIENTIFIC BULLETIN of The POLITEHNICA University of Timișoara, Romania* 59(73) (2) pp. 99–104.

Köszönöm a figyelmet!
